

基于 CMOS 工艺的数字步进衰减器的设计

摘自 2007-01-19

Peregrine 半导体公司

作者: Ray Baker Email: rbaker@psemi.com Peregrine 半导体公司

采用 CMOS 技术的数字步进衰减器能提供较高的抗 ESD 能力、高线性度、低插入损耗、串联及并联逻辑接口以及专有的超低噪音负电压发生器。本文基于 Peregrine(派更)半导体公司的单片数字步进衰减器(DSA, Digital Step Attenuator)产品系列, 阐述了 DSA 通用设计方法、RF CMOS 工艺以及这些器件的性能。

DSA 通过一个友好的处理器接口控制 RF 信号强度, 被广泛应用于多种 RF 产品, 比如宽动态范围接收器、功率放大器的失真信号消除环路, 以及各种有线电视分配系统。

DSA 通常具有“线性增益”的特性, 是 ADC 与外界之间的普通接口。与模拟的解决方案相比, 它们能提供更高的精确度、更好的温度稳定性以及更小的失真, 此外还具有尺寸小、功耗低、易于实现等特点, 是一种富有成本效益的解决方案。

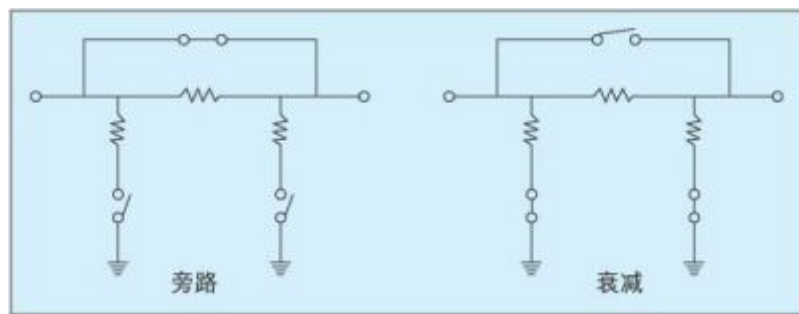


图 2: 带单刀串联开关的 n 型衰减器

本文的讨论虽然集中于 Peregrine 半导体公司的 PE4302(50 Ω)与 PE4304(70 Ω)这两种 6 位 DSA 器件上, 但实际上这种 DSA 通用设计方法适用于所有类似产品。

单片衰减器的设计

图 1 是一个典型的步进衰减器, 衰减器的每个管脚位于两个单刀双掷(SPDT)开关之间。机械式继电器或开关能提供几乎无损耗的接触, 经过仔细设计, 这种结构能提供很低的插入损耗和优良的隔离度。

要使一个集成的解决方案提供与此相当的性能, 需要一个具有相同特性、导通电阻小以及关断电容在 pF 以下的固态开关。工作在线性区域的 FET 开关基本上可以满足这个要求。FET 的导通电阻 R_{ON} 虽然为有限值, 但是可以在较大的器件中接近 0 Ω 。但是大器件的成本高, 如果有办法将串联开关的数量减少一半, 例如将每个单元的 SPDT 换成单刀单掷开关(SST), 则在性能和成本上都可以得到改善。

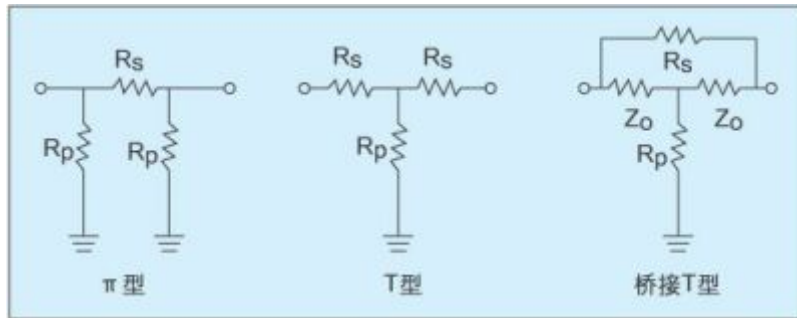


图 3: π 型、T 型以及桥接 T 型电路。

图 2 是 π 型衰减器经过改进的单刀串联开关结构。在每个单元都由一个串联 SPST 和两旁路 SPST 代替原来的两个 SPDT。实际上，这一技术将每个单元的插入损耗(IL)降低了一半，SPST 结构也比 SPDT 更简洁，同时性能更好，特别是在高频的时候。

由于所有无源衰减器均为三端网络，这种串联/旁路设计需要与其它拓扑结构一起工作，如 T 型和桥接 T 型(见图 3)。可能是由于所受培训或者习惯上的原因，工程师似乎更倾向采用 π 型结构，但是在一个电阻值跨度很大的单片电路中，这可能并不是最好的选择。

设计分立电阻时，电阻值不是一个重要问题。然而在集成电路中，具有特定电阻系数的矩形面积决定了电阻的阻值，这种表面电阻在 CMOS 工艺中通常约为 $200\Omega/\text{square}$ 。集成电路设计面临的难题是，不管电阻值是多倍于 200Ω 还是远小于 200Ω ，电阻值都已经成为设计及制造过程中的一个棘手问题。

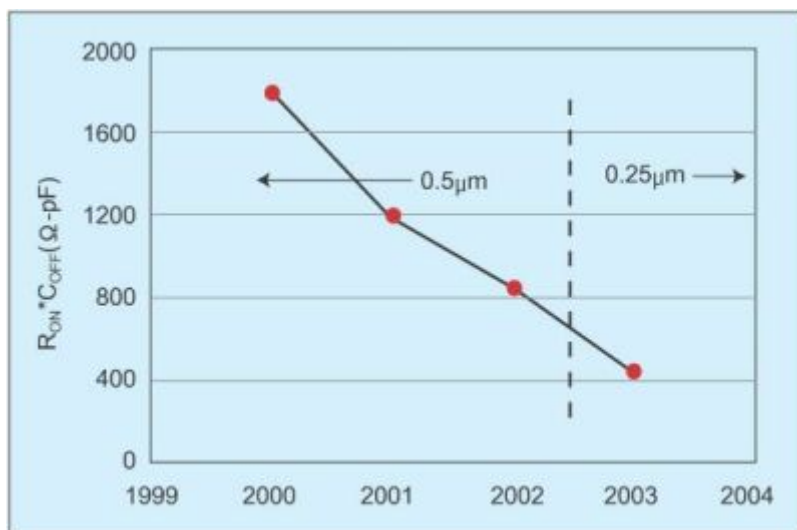


图 4: UTSi (RON/COFF)技术的发展图。

设计阻值非常大或非常小的电阻都需要很大的面积以及很高的成本。大阻值的电阻是长而薄的方形设计，而小阻值的电阻则具有很宽的外形以避免公差问题。表 1 给出了最低有效位(LSB)为 0.5dB 的 50Ω 6 位二进制衰减器的电阻值，其中 R_p 和 R_s 分别代表每一个网络中的旁路电阻和串联电阻。

在表 1 第一行，步进值为 0.5dB，这时 π 型及 T 型网络所需的电阻比约为 600:1(173 8/2.9 及 868/1.4)，而桥接 T 型网络所需的电阻比只有它的一半，约为 300:1(844/3)。当步

进值为 1dB 和 2dB 时，桥接 T 型网络仍然保持了较低的最大电阻值/最小电阻值的比率，它的电阻值范围缩小了一半，其代价只是增加一个电阻。

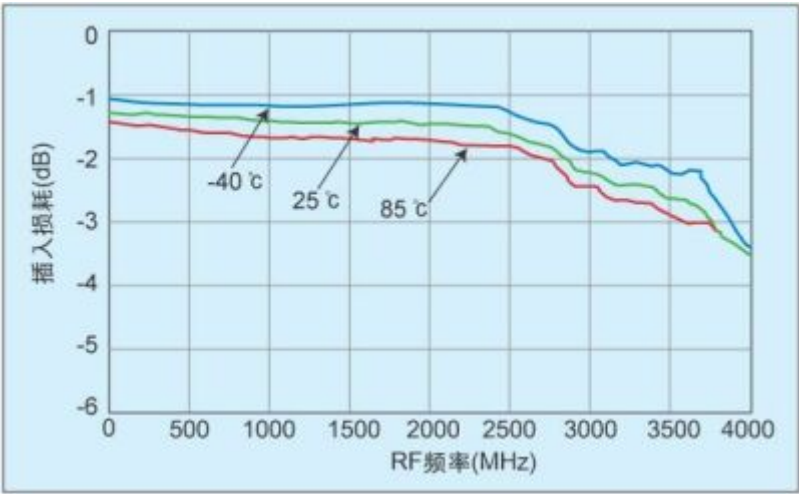


图 5：典型的插入损耗与温度之间的关系。

当步进值等于或大于 4dB 时，T 型网络的 R_{pp} 值较高而成为最佳选择。这形成了一个普遍策略：当步进值较小时使用桥接 T 型网络，当步进值较大时使用 n 型网络。

无论是哪种情况，要使 DSA 具有较高的准确度、优良的线性度、最小的工艺误差以及最佳的温度记录，就需要每一个电阻的阻值远远大于相应开关的导通电阻 R_{ON}。对于较低的 dB 值，T 型结构的 R_p 值较高，约为几百欧姆，相比之下旁路开关的 R_{ON} (通常只有几欧姆) 显得很小。同样，当 dB 值较大时，n 型网络旁路电阻的阻值也较大，远远大于旁路开关的 R_{ON}。

优化方法

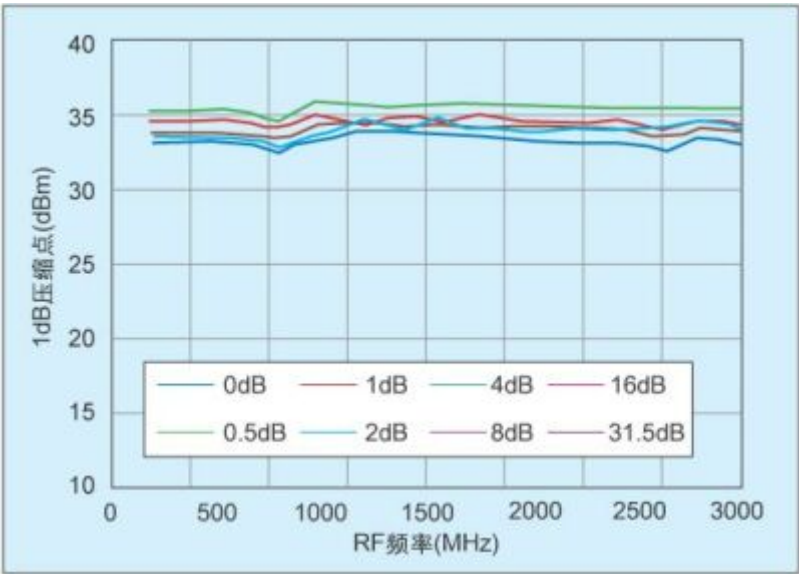


图 6：PE4302 的 1dB 压缩点与频率的关系。

低 R_{ON} 和低关断电容 COFF 对于串联 FET 开关而言都是必不可少的。R_{ON} 低意味着插入损耗小，但这也意味着需要使用 COFF 较大的大器件。但是高频工作环境却要求采用 COFF 很小的小器件，以便使串联阻抗和隔离度都很大。这种矛盾可通过采用能提供适当隔离

度的最大器件来解决。例如，当步进值为 1dB 时，串联开关的隔离度为 20dB 就很好了。对于一个步进值为 20dB 的衰减单元而言，隔离度同样为 20dB 的串联开关，只有 17dB 为净变化，其余 3dB 则为误差。对于这点，有的工程师可能会说：“好吧，那就用更高的衰减值来补偿。”理论上这是可行的，但是在实践中，隔离度并不很具重复性，COFF 只要有一点点变化，隔离度就会变化很大，因此必须确保对于每一个步进值都有合适的而非过大的隔离度。

电压额定值是另一个可进行优化的地方。每一个串联开关都必须有一个与其衰减值成比例的最高工作电压，例如，衰减步进值小则入射电压下降幅度也较小。旁路开关则完全不同，试想一下零 dB 结构中的衰减器，所有衰减器都被旁路，每一个旁路开关都必须能承受满摆幅输入电压。

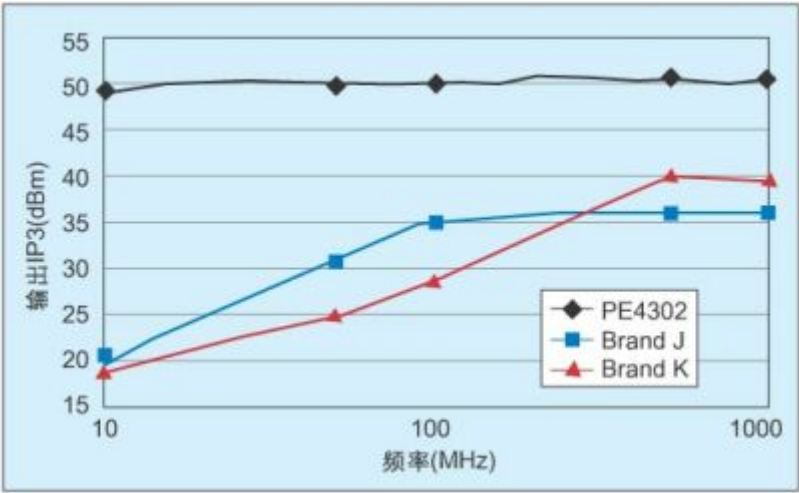


图 7: IIP3 的对比(工作电压为 3V，插入损耗为 0dB)。

无论是串联开关还是旁路开关，任何一个特定开关都是由一个、两个、三个或更多串联 FET 器件组成。因为多个串联 FET 可以分担入射电压以达到所需的压缩及截取点，所以预期的电压值决定了 FET 器件的具体个数。随着串联器件数量的增加，晶体管的尺寸必须同步增加，以保持 RON 及 COFF 的组合值不变。

在最终 DSA 产品中，电阻阻值要略高于表 1 给出的值。每一个衰减器单元都在其设计值上增加了十分之几 dB(每个衰减单元的插入损耗)，以获得正确的净变化。最后，在旁路电阻旁边适当放上一些低值电容，就可解决其固有的高频性能问题。虽然这对回波损耗有轻微影响，但是可大大提高平整性和精确性。

工艺概述

PE4302 及 PE4304 均为符合商业用途的数字步进衰减器，它们采用已取得专利权的在蓝宝石基底上实现超薄硅(UTSi)的技术制造而成。其几何尺寸目前为 0.5 微米，水平尺寸为 0.25 微米。在未来，采用 UTSi 技术的 RF CMOS 产品将挑战用 GaAs 及其它特殊材料制成的产品。表 2 列出了两种 UTSi 几何尺寸下的 FT 及 FMAX 值。

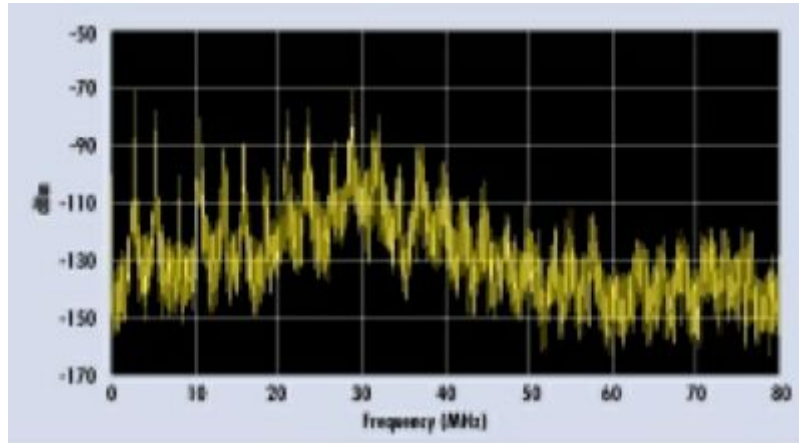


图 8：典型砷化镓/CMOS 混合 DSA 电荷泵的寄生能量频谱图。

蓝宝石基底有效消除了体积效应(基底电容)，可提供出色的射频性能，并天生具有抗锁闭能力。采用这种绝缘基底制作出的大电阻和 FET 器件，几乎没有消耗功率及频率的旁路电容。此外，蓝宝石还为高精度、高衰减的 DAS 提供必要的隔离度。

RF CMOS 还意味着可以在单芯片中集成多种混合信号。这些可集成并可验证的模块包括数字逻辑、EEPROM 及 SRAM 存储器、接口、线性、数据转换、高 IP3(三阶截取点)混频器、低噪音 PLL、VCO、放大器、电源管理以及高 Q 值无源射频。新 DSA 产品的具体性能包括较高的抗 ESD 能力、接近 DC 的高线性度、低插入损耗、串联及并联逻辑接口，以及专有的超低噪音负电压发生器，所有这些功能都集成在一个芯片上。

更重要的是，高性能步进衰减器需要先进的射频开关，RON 与 COFF 的乘积是射频开关一个度量指标。图 4 所描述的设计及工艺的快速发展使 Peregrine 公司的 UTSi 技术具有很强的竞争力。

PE4302 的性能测量

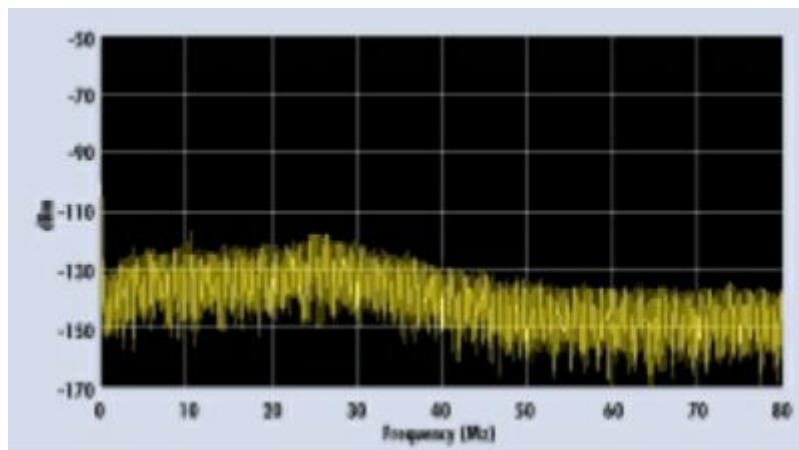


图 9：PE4302 NVG 的寄生能量频谱图。

在-40℃到+85℃的温度范围内测出的 PE4302 典型插入损耗值如图 5 所示。这里假设将 DSA 模拟为一个串联电阻，并给 DSA 开关一个合理的近似值。

使用下列等式：

$$IL = -20\text{Log}\left[\frac{2Z_o}{2Z_o - R_{EQ}}\right]$$

插入损耗为 1.5dB 的 DSA 等效总串联电阻 R_{EQ} 约等于 18Ω ，它代表 6 个开关的电阻总和，平均每个开关的电阻约为 3Ω ，这个数字与 CAD 模型的结果一致。与目前其它商用 DSA 产品相比，这种插入损耗为 1.5dB 的产品性能在同行处于领先地位。

图 6 显示了主要步进值下的 1dB 压缩点(P1dB)与频率的关系。这些数值代表实际的瞬时性能，一般总是高于 +33dBm。

考虑连续工作时发热及可靠性方面的因素，产品数据表中的最大功率限制会被定得稍微低些。这种做法对于峰值与平均值相差很大的无线电波形而言是很重要的，同时也是表征高线性度的一个更好的指标。

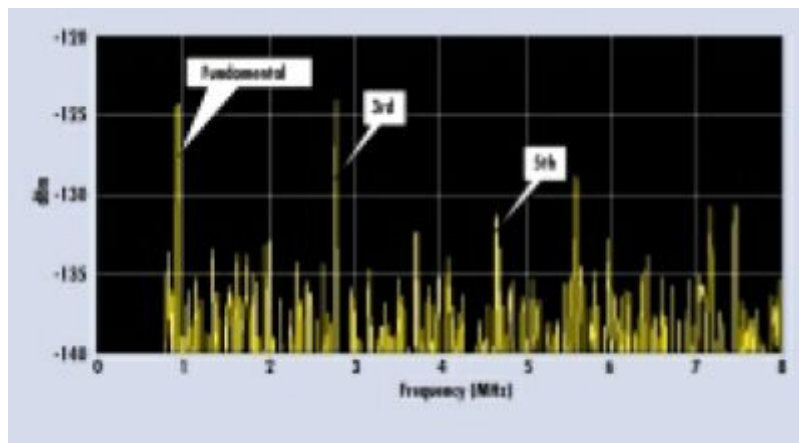


图 10: 扩大低频范围中的 NVG 的寄生能量频谱图。

IP3 几乎在每一种无线电及有线电视(CATV)应用中都是至关重要的。图 7 是不同器件(工作电压都为 +3V)的 IIP3(输入三阶截取点)值，可以看出某些产品的 IIP3 在低频时有所下降。在 1GHz 以上，大多数 DSA 确实都能达到市场需要的规格，但是许多 DSA 应用在 100 至 300MHz 频率的环境中，例如有线电视需要 DSA 从 5MHz 开始就具有高线性度。尽管这里提供的只是器件的采样数据，但是对于一般的砷化镓器件而言还是具有代表性的(请注意低端性能)。

回波损耗是另外一个重要参数。许多步进衰减器在无法容忍阻抗失配的混频器和滤波器的旁边工作，失配导致的反射波也会传输到相邻器件，并产生纹波、增益变化及其它问题。

负电压发生器(NVG)的设计

面向这种应用的器件(PE4302)包括一个可选的片上逆变器，它可产生一个 -3V 的内部参考电压。与典型的啞啞响的电容电荷泵不同，Peregrine 公司的产品使用改进的开关波形和电阻/电容低通滤波以降低噪声。结合这两种方法可设计一种被称为负电压发生器的电路。图 8 是带有常规电荷泵的 GaAs

π 型			T 型		桥接T型	
dB	R_p	R_s	R_s	R_p	R_s	R_p
0.5	1738	2.9	1.4	868	3.0	844
1	870	5.8	2.9	443	6.1	410
2	436	12	5.7	215	13	193
4	221	24	11	105	29	85
8	116	53	22	47	76	33
16	69	154	36	16	265	9.4

表 1: 电阻值与插入损耗、拓扑结构的关系。

DSA 的寄生能量频谱图，在一个很宽的带宽上，毛刺高达-70dBm。

Peregrine 产品在同样条件下的频谱如图 9 所示。试验装置包括一台频谱分析仪， $RBW=VBW=10KHz$ ， $REFLVL=-70dBm$ ，在它的前面是一台惠普 50MHz 低噪音放大器(图形作了增益调整)。除了 DC 附近一个几乎看不见的元件外，该图形反映了测量到固有噪声电平。

图 10 显示的是采用更窄滤波器带宽的近距离低频频谱图。该图减去了器件关闭电源时的标称固有噪声电平(约为-135dBm)以便更好地显示 NVG 的寄生信号成份。在 NVG 启动并工作的情况下，整个器件的能量消耗仅为几十微安培(工作电压为 3V)。只要在 V_{ss}/GND 管脚加上-3V 的电压，就可以完全关闭 NVG。

新增的功能

几何尺寸	$F_T(GHz)$	$F_{MAX}(GHz)$
0.25微米	50	100
0.5微米	15	40

表 2: UTSi 性能与几何尺寸的关系

在 CMOS 芯片设计的早期阶段，可看到两个没有使用的管脚：PUP1 和 PUP2，用它们将衰减器上电后的状态设置为四个值中的一个：0、8、16 或 31dB。这种预先设置为发射机的排列带来实际好处。设置上电状态为最大衰减值可以遏制输出，同时控制器以及各种环路还可以保持它们的正常工作状态。潜在的寄生信号在到达天线及 A-I-R 之前就被拦截。

由于实现这个功能的额外逻辑电路实际上是免费使用的，所以单片 CMOS 具有很大的优势。

本文小结

本文讨论的先进 DSA 设计方法能将宽带线性度及精确度提高到一个新的水准。与许多 RF 器件不同，这种电路设计还能扩展到在电路中包括多种接口和特性，想必这一定会引起

数字和系统设计者的兴趣。